

신소자 집적/검증 플랫폼을 위한 I²C 컨트롤러

신하수, 최소연, 신예린, 유호영
충남대학교

I²C Controller for Integrated / Verification Platform for New Semiconductor Devices

Hwasoo Shin, Soyeon Choi, Yerin Shin, and Hoyoung Yoo
Chungnam National University

Abstract - 미래형 기술을 위한 초저전력 컴퓨터의 개발이 요구되면서 이에 따른 신소자의 개발이 필요하고, 개발된 신소자는 실제 사용환경에서 충분한 성능을 보이는지, 그리고 집적화를 위해 보완되어야 하는지에 대한 검증이 요구된다. 이러한 검증을 위해 신소자용 집적공정 세트를 개발할 필요성이 있고, 이를 효율적으로 수행하기 위해 디지털 컨트롤러를 개발하여 자동화할 필요가 있다. 본 논문에서는 디지털 컨트롤러를 위해 호스트 PC와 검증 기기의 연결을 I²C 인터페이스로 구축하여 검증환경에 필요한 데이터를 호스트 PC로부터 받아오고, 검증 결과를 다시 호스트 PC로 전달하는 양방향 통신을 형성하였다. 또한, 검증 기기 내부에서 호스트 PC로부터 수신한 데이터를 검증환경에 맞추어 적절한 값을 적절한 시기에 인공신경망으로 전달하기 위하여 SRAM 인터페이스 기반의 I²C 컨트롤러를 개발하였다.

1. 서 론

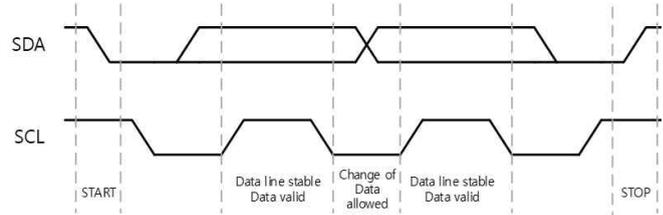
최근 인공지능, 자율주행 등의 미래형 컴퓨터 기술을 위하여 2진수 기반의 소자가 아닌 확률적 연산기에 기반한 초저전력 컴퓨터의 개발이 요구되고 있으며, 이를 충족시키기 위한 신소자 개발이 필요하다. 그러나 개발한 소자들의 특성이 실제 회로나 시스템 수준으로 집적화되었을 때 우수한 성능이 발휘되고 있는지 혹은 집적화를 위해 보완되어야 하는 점을 평가 및 검증하는 방법은 마련되어 있지 않다. 따라서 새롭게 개발되는 소자가 집적화되었을 때 성능을 평가하기 위한 신소자용 집적공정 세트를 개발할 필요가 있다. 각 신소자용 집적공정 세트에서는 5종류 이상의 소자 평가용 모듈을 구축하며 각각의 모듈은 다른 수준의 집적도를 평가할 수 있어야 하며, 데이터를 추출할 수 있는 테스트단이 포함되어 있어야 한다. 신소자용 집적공정 세트에서 서로 다른 집적도에 따른 테스트를 시간과 비용적 측면에서 효율적으로 수행하기 위해서는 디지털 컨트롤러를 통해 신소자 테스트를 자동화할 필요가 있다.

본 논문에서는 신소자용 집적공정 세트의 신소자 검증 자동화를 위한 I²C 컨트롤러를 개발하였다. 자동화된 검증환경은 대규모 상황에서의 검증을 가능하게 하여 검증의 신뢰도를 확보하고 비용, 시간적 측면에서의 효율성을 제고할 수 있다. 신소자 검증 자동화를 위한 디지털 컨트롤러는 호스트 PC에서 디지털 컨트롤러를 제어하여 데이터를 검증환경으로 전송하고, 검증이 완료된 후 검증 결과를 다시 호스트 PC로 받아오는 양방향 통신과 검증환경에서 수신된 데이터를 제어하는 컨트롤러가 요구된다. 개발한 I²C 컨트롤러는 다양한 통신방식 가운데 비용, 시간적 측면에서의 효율성을 고려하여 I²C 프로토콜을 통해 호스트 PC로부터 데이터를 전달받아 이를 검증 기기 제어에 활용한다.

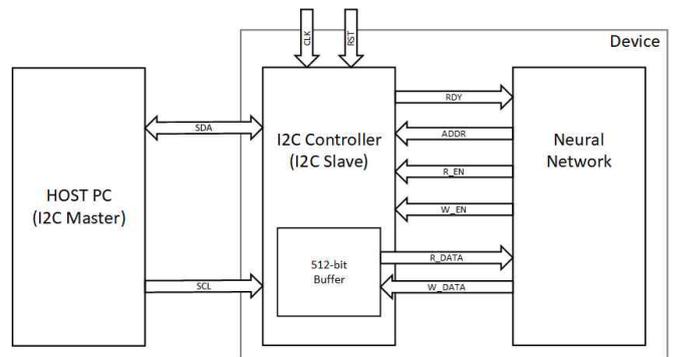
2. 본 론

2.1 I²C 프로토콜

I²C 프로토콜[1]은 통신 주체인 마스터와 슬레이브 간에 직렬 데이터 라인 (SDA)과 직렬 클럭 라인 (SCL)만 사용하는 통신이다. 직렬 클럭 라인 (SCL)은 마스터에서 슬레이브의 동작 클럭에 맞추어 생성하는 클럭으로 I²C의 데이터 전송은 직렬 클럭에 맞추어 동작한다. 직렬 데이터 라인 (SDA)은 직렬 클럭에 맞추어 마스터에서 슬레이브 혹은 슬레이브에서 마스터로 데이터를 전송하는 양방향 통신이 가능한 라인이다. I²C 프로토콜[1]은 마스터에서 직렬 데이터 라인 (SDA)과 직렬 클럭 라인 (SCL)을 이용하여 생성하는 시작 신호와 정지 신호로 슬레이브에 통신의 시작과 정지를 알리고, 시작 신호를 생성한 후 매회 8비트의 데이터와 1비트의 ACK 신호를 주고받는다. I²C 프로토콜[1]이 다른 통신 프로토콜과 다른 점은 다중 마스터와 다중 슬레이브의 연결이 가능하다는 것이다. 따라서 다중 마스터와 다중 슬레이브 연결이 가능하므로, 시작 신호가 생성되고 처음으로 전송되는 8비트는 마스터에서 7비트의 슬레이브 주소와 1비트의 읽기 / 쓰기 신호로 구성되어 통신 대상 슬레이브를 확인하고 통신의 동작 모드를 슬레이브에 인식시킨다. 마스터에서 전송한 슬레이브 주소와 수신한 슬레이브의 주소가 일치할 경우 읽기 / 쓰기 모드에 맞추어 데이터를 주고받는다. 모든 통신이 끝나면 마스터에서 정지 신호를 생성하여 슬레이브로 보낸다. 그림 1은 I²C 프로토콜[1]에 대한 타이밍 도를 나타낸다. 그림 1과 같이 직렬 클럭 라인 (SCL)이 1일 때, 직렬 데이터 라인 (SDA)이 1에서 0으로 변화하는 것을 시작 신호, 직렬 클럭 라인 (SCL)이 0일 때, 직렬 데이터 라인



〈그림 1〉 I²C 프로토콜 타이밍도



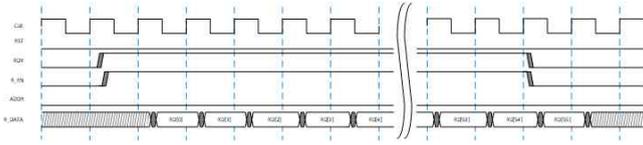
〈그림 2〉 호스트 PC와 검증 기기 사이의 연결 구성

(SDA)가 0에서 1로 변화하는 것을 정지 신호로 인식한다. 시작이나 정지 신호가 아닌 데이터를 전송할 때, 직렬 클럭이 1인 시점에서 데이터 값이 변화하면 이를 시작이나 정지 신호로 인지할 수 있으므로 데이터의 안정적인 전송을 위해 데이터 값의 변화는 직렬 클럭 라인 (SCL)이 0일 때만 이루어져야 한다.

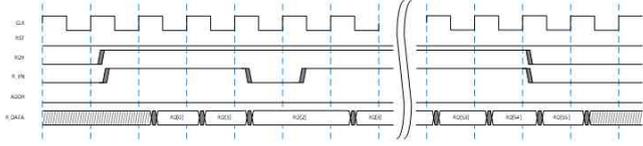
2.2 I²C 컨트롤러

그림 2는 호스트 PC와 검증 기기 사이의 연결 구성을 나타내는 모식도이다. 호스트 PC와 검증 기기는 I²C 인터페이스[2]로 구성되며 검증 기기 내부 연결은 I²C 컨트롤러와 인공신경망[3] 간의 SRAM 인터페이스로 구성된다. 그림 2의 CLK 신호는 1비트 클럭 신호로서 I²C 컨트롤러와 인공신경망[3] 사이의 동작이 CLK의 상승 에지에서 이루어진다. RST 신호는 1비트 동기 리셋 신호로서 CLK의 상승 에지에서 RST이 1일 때, 모든 내부 플립-플롭들이 초기화된다. RDY 신호는 1비트 출력 신호로서 I²C 컨트롤러의 읽기 / 쓰기의 동작 가능 여부를 나타내는 준비 신호이다. R_EN 신호는 1비트 입력 신호로서 I²C 컨트롤러 버퍼로부터 인공신경망[3] 방향으로 데이터를 읽어내는 읽기 가능 신호이고, W_EN 신호는 1비트 입력 신호로서 인공신경망[3]이 I²C 컨트롤러 버퍼에 데이터를 쓰려는 쓰기 가능 신호이다. RDATA는 8비트 출력으로 읽기 동작에서 I²C 컨트롤러 버퍼로부터 읽어내는 데이터이고, WDATA는 8비트 입력으로 쓰기 동작에서 I²C 컨트롤러 버퍼에 쓰여지는 데이터이다.

우선 호스트 PC에서 인공신경망[3]에 필요한 데이터를 전송하는 경우 호스트 PC의 I²C 마스터와 검증 기기의 I²C 컨트롤러를 이용하여 데이터를 전송한다. 이 때, 전송된 데이터는 검증 기기 내 I²C 컨트롤러 내부의 버퍼에 저장된다. 버퍼로 데이터 전송이 완료되면 인공신경망[3]에 데이터가 준비된 상태를 RDY 신호를 통해 알려주게 되고, 이후 R_EN 신호에 따라 인공신경망으로 데이터를 전달할 수 있다. 인공신경망[3]으로 전달하는 데이터는 MNIST 입력과 디코더 주소로 나누어지는데, ADDR 신호를 통해 입력과 디코더 주소를 선택적으로 전달할 수 있다. 다음으로 인공신경망[3]에서 호스트 PC로 데이터를 전송하는 경우는 이에 대한 역 방향으로 동작하게 된다. 검증 기기 내부에서 인공신경망이 I²C 컨트롤러가 준비된 상태를 RDY 신호를 통해 확인 한 후, W_EN 신호에 따라 I²C 컨트롤러의 버

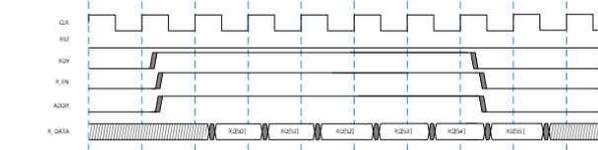


a 연속 동작 입력 이미지 읽기 모드

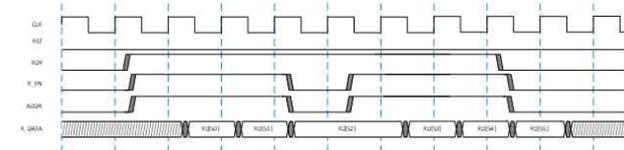


b 불연속 동작 입력 이미지 읽기 모드

<그림 4> 입력 이미지 읽기 모드

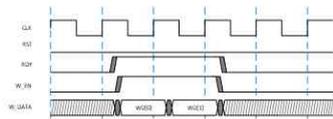


a 연속 동작 디코더 주소 읽기 모드



b 불연속 동작 디코더 주소 읽기 모드

<그림 5> 디코더 주소 읽기 모드



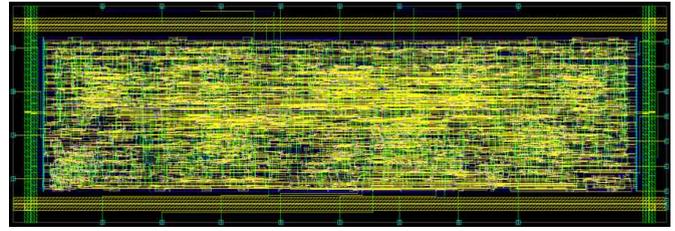
<그림 6> 연속 동작 쓰기 모드

퍼에 저장하게 된다. 버퍼에 저장된 데이터는 I²C 인터페이스에 따라 호스트 PC로 데이터를 전송한다. I²C 컨트롤러의 버퍼에 접근하는 데이터는 입력 이미지 데이터 400비트, 인공신경망[3] 각 층의 디코더 주소 데이터가 41비트 (Layer1: 9-bit+7-bit, Layer2: 7-bit+7-bit, Layer3: 7-bit+4-bit), 인공신경망 출력 데이터 10비트이다.

그림 4와 5는 I²C 컨트롤러의 데이터를 인공신경망[3]에서 읽어오는데 필요한 동작을 나타내는 타이밍도이고, 그림 6은 인공신경망[3]에서 쓰는데 필요한 동작을 나타내는 타이밍도이다. 그림 4는 입력 이미지를 연속적으로 읽는 동작에 대한 타이밍 도로 RDY 신호가 1로 활성화된 후, R_EN 신호가 1, ADDR 신호가 0이면 I²C 컨트롤러 버퍼의 입력 이미지 데이터와 디코더 주소 데이터를 모두 읽어온다. 이 때, R_EN에 따라 그림 4-a의 연속 읽기 동작과 4-b의 불연속 읽기 동작으로 나뉜다. 그림 5는 디코더 주소 읽기 동작에 대한 타이밍 도로 RDY 신호가 1일 때, R_EN 신호가 1, ADDR 신호가 1이면 I²C 컨트롤러 버퍼의 디코더 주소 데이터만을 읽어온다. 마찬가지로 R_EN에 따라 그림 5-a의 연속 읽기 동작과 5-b의 불연속 읽기 동작으로 나뉜다. 그림 6은 연속 동작 쓰기 모드에 대한 타이밍 도로 RDY 신호가 1일 때, W_EN 신호가 1로 입력되면 WDATA가 I²C 컨트롤러 버퍼에 저장된다.

3. 결 론

본 논문에서는 I²C 컨트롤러를 CMOS 180 nm 공정을 사용하여 50MHz로 합성했다. 그 결과, Equivalent Gate Count는 8.6K, Critical Path Delay는 18.5 ns로 나타났다. 그림 7은 합성된 결과를 이용하여 P&R을 진행한 결과이다. I²C 컨트롤러는 인공신경망[3]에 추가적으로 부착되어 검증 기기를 구성하므로 패드 없이 P&R을 진행하였다. Layout의 크기는 인공신경망[3]의 layout에 맞추어 1.1mm×0.35mm로 구성하였으며, 인공신경망의 후속



<그림 7> I²C Controller Layout

공정 필요성으로 인하여 I²C 컨트롤러의 P&R은 메탈 레이어3까지만 사용하였다.

신소자 집적/검증 플랫폼의 자동화를 위해 호스트 PC와 검증 기기 사이의 데이터 전달을 제어해주는 I²C 컨트롤러를 개발하였다. I²C 컨트롤러는 기존의 수동으로 조작하던 검증환경을 자동화하면서 시간, 비용적 측면에서의 효율성을 높인다.

ACKNOWLEDGMENT

This work was supported by the National Research Foundation of Korea(NRF) grant funded by the Korea government(MSIT) (NRF-2019M3F3A1A01074448).

[참 고 문 헌]

- [1] J Mankar, C Darode, K Trive^o, M Kanoje, and P Shahare, "Review of I2C protocol", Int J, vol. 2, 2014
- [2] M. Raees, A. Lokapure, and B. Satyanarayana, "Interfacing of digital TPH sensors with FPGA using I2C interface", IBSS, pp. 1-5, 2016
- [3] M. Courbariaus, I. Hubara, D. Soudry, R. El-Yaniv, and Y. Bengio, "Binarized neural networks: Training deep neural networks with weights and activations constrained to+1 or-1", arXiv, 2016